

W 0007



JP9246550

Bibli

Page 1

esp@cenet

**SEMICONDUCTOR DEVICE, AND MANUFACTURE OF
SEMICONDUCTOR DEVICE, AND INSULATED GATE TYPE OF
SEMICONDUCTOR DEVICE, AND MANUFACTURE OF
INSULATED GATE TYPE OF SEMICONDUCTOR DEVICE**

Patent Number: JP9246550
Publication date: 1997-09-19
Inventor(s): SUZUKI TAKASHI; UESUGI TSUTOMU; ISHIKO MASAYASU
Applicant(s):: TOYOTA CENTRAL RES & DEV LAB INC
Requested Patent: ☐ JP9246550
Application Number: JP19960075330 19960305
Priority Number(s):
IPC Classification: H01L29/78
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To secure a finer and better source contact and improve reliability.

SOLUTION: A groove which has an oblique plane is made at a substrate, and besides two sidewalls are made, and a transistor is manufactured, making the most of these. In short, since the trench processing end is decided, using the double sidewall 62, a fine trench can be made, getting over the limit of lithography, and besides it is of planar structure, so the processing by photolithography is easy. Moreover, the oblique plane is preserved until trench formation, being covered with a second sidewall, and then the second sidewall is removed to expose the oblique plane, and the oblique plane is used as a source electrode 130 contact area, so the contact area increases, therefore the source contact resistance is reduced. Moreover by the existence of the oblique plane, the bore of the trench is large, and the burying of a source electrode 130 is easy.

Data supplied from the esp@cenet database - I2

半導体装置、半導体装置の製造方法、絶縁ゲート型半導体装置および絶縁ゲート型半導体...

W004-01 ER 4-4
特開平9-246550

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-246550

(43) 公開日 平成9年(1997)9月19日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78		9447-4M	H 0 1 L 29/78	6 5 3 A
		9447-4M		3 0 1 D
				6 5 2 K

審査請求 未請求 請求項の数11 F D (全 12 頁)

(21) 出願番号 特願平8-75330

(22) 出願日 平成8年(1996)3月5日

(71) 出願人 000003609
株式会社豊田中央研究所
愛知県愛知郡長久手町大字長湫字横道41番地の1

(72) 発明者 鈴木 隆司
愛知県愛知郡長久手町大字長湫字横道41番地の1 株式会社豊田中央研究所内

(72) 発明者 上杉 勉
愛知県愛知郡長久手町大字長湫字横道41番地の1 株式会社豊田中央研究所内

(72) 発明者 石子 雅康
愛知県愛知郡長久手町大字長湫字横道41番地の1 株式会社豊田中央研究所内

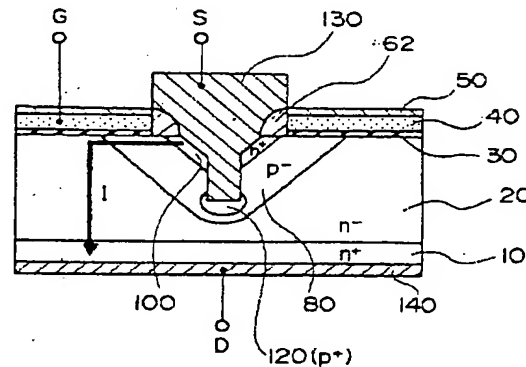
(74) 代理人 弁理士 布施 行夫 (外2名)

(54) 【発明の名称】 半導体装置、半導体装置の製造方法、絶縁ゲート型半導体装置および絶縁ゲート型半導体装置の製造方法

(57) 【要約】

【課題】 本発明の目的は、従来技術の問題点を克服し、より微細で、しかも良好なソースコンタクトを確保でき、かつ信頼性の高い絶縁ゲート型トランジスタならびにその製造方法を提供することにある。

【解決手段】 本製造方法では、基板に「斜面を有する溝」を形成し、かつ2つの「サイドウォール」を形成し、これらを活用してトランジスタを製造する。つまり、ダブルのサイドウォールを用いてトレンチ加工端を決めるため、フォトリソグラフィの限界を越えて微細なトレンチを作成でき、しかも、プレーナ構造であるため、フォトリソグラフィによる加工も容易である。また、斜面を第2のサイドウォールで覆ってトレンチ形成まで保存しておき、その後に第2のサイドウォールを除去して斜面を露出させ、その斜面をソース電極コンタクト領域として使用するため、接触面積が増大し、よってソースコンタクト抵抗が低減される。また、斜面の存在によりトレンチの開口径が大きく、ソース電極の埋め込みも容易である。



【特許請求の範囲】

【請求項 1】半導体基板の表面に形成された絶縁膜に選択的に開口部を形成し、前記半導体基板の一部を露出させる工程と、

前記開口部の外縁を形成している前記絶縁膜の側壁に接して第 1 のサイドウォールを形成する工程と、

前記絶縁膜および前記第 1 のサイドウォールをマスクとして用いて、露出している前記半導体基板の表面をエッチングし、斜面をもつ溝を形成する工程と、

前記第 1 の膜および前記第 1 のサイドウォールをマスクとして用いて、前記溝の底面に相当する露出した半導体基板表面から不純物を導入し、前記半導体基板内に不純物層を形成する工程と、

前記溝の斜面を覆い、かつ前記第 1 のサイドウォールに接続する第 2 のサイドウォールを形成する工程と、

前記絶縁膜および前記第 1 および第 2 のサイドウォールをエッチングマスクとして用い、かつ前記第 2 のサイドウォールの端部を基準として、前記シリコン半導体基板をエッチングし、溝を形成する工程と、

前記第 2 のサイドウォールを除去し、前記半導体基板の表面の前記斜面を露出させる工程と、

前記溝内に導電材料を埋め込む工程と、を有することを特徴とする半導体装置の製造方法。

【請求項 2】請求項 1 に記載の方法により製造される半導体装置。

【請求項 3】 第 1 導電型の半導体基板 (10, 20) の表面に、第 1 の絶縁膜/導電体層/第 2 の絶縁膜を順次に重ね合わせて構成される積層膜 (30, 40, 50) を形成する工程と、

前記積層膜の一部に開口部 (52) を形成して前記半導体基板の表面の一部を露出させる工程と、

前記開口部の外縁を形成している前記積層膜の側面に接して、電気的絶縁材料からなる第 1 のサイドウォール (62) を形成する工程と、

前記積層膜および第 1 のサイドウォールをマスクとして用いて、露出している前記半導体基板の表面をエッチングし、斜面をもつ溝 (70) を形成する工程と、

前記第 1 の膜および第 1 のサイドウォールをマスクとして用いて、前記溝の底面に相当する露出した半導体基板表面から第 2 導電型の不純物を導入し、前記半導体基板内に第 2 導電型の第 1 の不純物層 (80) を形成する工程と、

前記第 1 の不純物層の表面部分に、第 1 導電型の第 2 の不純物層 (100) を形成する工程と、

前記溝の斜面を覆い、かつ前記第 1 のサイドウォールに接続する第 2 のサイドウォール (110) を形成する工程と、

前記積層膜および前記第 1, 第 2 のサイドウォールをエッチングマスクとして用い、かつ第 2 のサイドウォールの端部を基準として、前記シリコン半導体基板をエッチ

ングし、断面形状が U 字形をしている溝 (U 溝) を形成する工程と、

前記第 2 のサイドウォールを除去し、前記半導体基板の表面の前記斜面を露出させる工程と、

05 露出した前記斜面を含む前記 U 溝内に導電材料 (130) を埋め込む工程とを有し、

前記各工程により、前記積層膜を構成する導電体層をゲートとし、前記積層膜を構成する第 1 の絶縁膜をゲート絶縁膜とし、前記第 1 の不純物層の表面部分をチャネル形成領域とし、前記第 2 の不純物層をソースまたはドレイン領域とする絶縁ゲート型半導体装置を製造することを特徴とする、絶縁ゲート型半導体装置の製造方法。

【請求項 4】 請求項 3 において、

15 シリコン半導体基板の表面は (100) 等価面であり、前記形状の構成要素として斜面をもつ溝 (70) は断面が V 字形の溝 (V 溝) であり、その V 溝はアルカリエッチング液を用いたエッチングにより形成されることを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項 5】 請求項 3 または 4 において、

20 第 1 の不純物層の表面部分に第 1 導電型の第 2 の不純物層 (100) を形成する工程は、不純物がドーパされたシリケートガラス膜から不純物を拡散させる工程であり、

また、第 2 のサイドウォール (110) を形成する工程 25 は、前記シリケートガラス膜を異方性エッチングにより加工する工程であることを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項 6】 請求項 3～5 のいずれかにおいて、

30 前記 U 溝を形成する工程と、前記 U 溝内に導電材料を充填する工程との間に、U 溝加工に用いたマスクを不純物導入用のマスクとしても利用して U 溝の底部に不純物を導入する工程が挿入されることを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項 7】 請求項 1～6 のいずれかの製造方法により製造される、絶縁ゲート型半導体装置。

【請求項 8】 U 溝の内壁面にゲート絶縁膜が形成され、その U 溝内に埋め込まれた導電材料をゲートとして用いる、縦型の絶縁ゲート型半導体装置の製造方法であって、

40 第 1 導電型の第 1 の半導体層 (200, 210) と、第 2 導電型の第 2 の半導体層 (220) と、第 1 導電型の第 3 の半導体層 (230) とを順次に積層した構造を有する半導体基板の表面に、積層膜 (30, 40, 50) を形成する工程と、

45 前記積層膜の一部に開口部 (272) を形成して前記半導体基板の表面の一部を露出させる工程と、

前記開口部の外縁を形成している前記積層膜の側面に接して、電気的絶縁材料からなる第 1 のサイドウォール (282) を形成する工程と、

50 前記積層膜および第 1 のサイドウォールをマスクとして

用いて、露出している前記半導体基板の表面をエッチングし、形状の構成要素として斜面をもつ溝(290)を形成する工程と、

前記積層膜、第1のサイドウォールおよび前記半導体基板表面の露出した前記斜面の上に、不純物がドーパされたシリケートガラス膜を形成する工程と、

前記シリケートガラス膜から第1導電型の不純物を前記半導体基板の表面部分に位置する前記第3の半導体層内に拡散させ、その第3の半導体層の不純物濃度を高める工程と、

前記シリケートガラス膜の全面に異方性エッチングを施して、前記半導体基板の表面の前記斜面の一部を露出させると共に、前記斜面の他部を覆い、かつ前記第1のサイドウォールに接続する第2のサイドウォール(302)を形成する工程と、

前記積層膜および前記第1、第2のサイドウォールをエッチングマスクとして用い、かつ第2のサイドウォールの端部を基準として、前記シリコン半導体基板をエッチングし、断面形状がU字形をしている溝(U溝)を形成する工程と、

前記第2のサイドウォールを除去し、前記半導体基板の表面の前記斜面を露出させる工程と、

露出した前記斜面を含む前記U溝の内壁面にゲート絶縁膜(320)を形成する工程と、

前記U溝内に導電材料(342)を埋め込む工程と、

前記第1のサイドウォールをマスクとして用いて、前記U溝内に埋め込まれた前記導電材料層の表面を酸化して酸化膜(350)を形成する工程と、

半導体基板の表面の全面に異方性エッチングを施し、その結果として前記積層膜のみを除去して前記半導体基板の表面を露出させ、電極コンタクト領域を形成する工程と、

前記電極コンタクト領域に電極を接続する工程と、

前記半導体基板の裏面に電極を接続する工程と、を有することを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項9】 請求項8において、

シリコン半導体基板の表面は(100)等価面であり、前記斜面をもつ溝(290)は断面がV字形の溝(V溝)であり、そのV溝はアルカリエッチング液を用いたエッチングにより形成されることを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項10】 請求項8または9において、

積層膜は、絶縁膜/ポリシリコン層/絶縁膜の重ね膜からなり、また、前記第1のサイドウォールは、シリコン窒化膜からなることを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項11】 請求項8~10のいずれかの製造方法により製造される、絶縁ゲート型半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置およびその製造方法に関し、特に、縦型の絶縁ゲートパワートランジスタおよびその製造方法に関する。

【0002】

【背景技術】 パワートランジスタの微細化技術としては、例えば、特開昭62-126674号に示される技術、IEEE. TRANS. ON ELECTRON DEVICES, VOL. 41, NO. 5, PP. 814に示されるような技術がある。上述の2つの技術は、主に、ソース領域の微細化に関するものである。

【0003】 また、U溝を用いたMOSFET(UMOS)の構造(製造方法)についても、いろいろと提案されている。基本的には、フォトリソグラフィを用いてエッチングマスクを形成し、RIEにより半導体基板にトレンチを形成し、そのトレンチ内にポリシリコン等を埋め込むことにより製造される。

【0004】

【発明が解決しようとする課題】 上述の特開昭62-126674号の技術では、複雑な凹凸面上における絶縁膜加工(コンタクト形成)が必要となり、ソース領域の微細化には一定の限界がある。また、IEEE. TRANS. ON ELECTRON DEVICES, VOL. 41, NO. 5, PP. 814の技術では、ソース電極がソース領域に接することができる面は、ソース領域の側壁(接合深さに相当)部分のみであり、きわめて接触面積が小さい。よって、ソース電極の接触抵抗が大きくなる。ソース電極の接触面積を増やすには、ソース領域自体を深くするしかなく、必然的にデバイスの大型化を招く。

【0005】 また、今までのUMOSの構造(製造方法)では、トレンチ寸法がフォトリソグラフィの精度で決定され、また、ソースコンタクト領域の確保のためにはデバイスの微細化が犠牲となり、さらに、ソース電極が接触するソース領域の表面における不純物濃度が低下してコンタクト抵抗が増大するといった問題がある。また、U溝内の酸化に際し、基板表面において応力集中や結晶欠陥が生じやすいという問題もある。

【0006】 このように、トランジスタを微細化していくと、そのトランジスタの高性能を維持するのがむずかしくなる。

【0007】 本発明の目的は、上述の従来技術の問題点を克服し、より微細で、かつ高性能な半導体装置を提供すること、およびその製造方法を提供することにある。具体的には、微細で、しかも良好なソースコンタクトを確保でき、かつ信頼性の高い絶縁ゲート型トランジスタならびにその製造方法を提供することにある。

【0008】

【課題を解決するための手段】

(1) 請求項1に記載の本発明の半導体装置の製造方法は、半導体基板の表面に形成された絶縁膜に選択的に開口部を形成し、前記半導体基板の一部を露出させる工程

と、前記開口部の外縁を形成している前記絶縁膜の側壁に接して第1のサイドウォールを形成する工程と、前記絶縁膜および前記第1のサイドウォールをマスクとして用いて、露出している前記半導体基板の表面をエッチングし、斜面をもつ溝を形成する工程と、前記第1の膜および前記第1のサイドウォールをマスクとして用いて、前記溝の底面に相当する露出した半導体基板表面から不純物を導入し、前記半導体基板内に不純物層を形成する工程と、前記溝の斜面を覆い、かつ前記第1のサイドウォールに接続する第2のサイドウォールを形成する工程と、前記絶縁膜および前記第1および第2のサイドウォールをエッチングマスクとして用い、かつ前記第2のサイドウォールの端部を基準として、前記シリコン半導体基板をエッチングし、溝を形成する工程と、前記第2のサイドウォールを除去し、前記半導体基板の表面の前記斜面を露出させる工程と、前記垂直な溝内に導電材料を埋め込む工程と、を有することを特徴とする。

【0009】本請求項の製造方法によれば、基板に形成した斜面を有する溝を介して基板内に不純物を導入するため、容易に曲率の大きい拡散層を形成することができる。また、最小寸法で加工したマスクの端部に2つのサイドウォールを重ねてマスクの端部を決定できるため、フォトリソグラフィの加工限界を越えてより微細な加工が可能となる。

【0010】また、第2のサイドウォールにより前記溝の斜面が保存され、その斜面の存在は、導電体の埋め込みを容易にしたり、接触面積を増大させてコンタクト抵抗を低減したりするのに役立つ。

【0011】(2) 請求項2に記載の本発明は、請求項1に記載の方法により製造される半導体装置である。

【0012】微細かつ高性能な半導体装置を得ることができる。

【0013】(3) 請求項3に記載の本発明の絶縁ゲート型半導体装置の製造方法は、第1導電型の半導体基板の表面に、第1の絶縁膜/導電体層/第2の絶縁膜を順次に重ね合わせて構成される積層膜を形成する工程と、前記積層膜の一部に開口部を形成して前記半導体基板の表面の一部を露出させる工程と、前記開口部の外縁を形成している前記積層膜の側面に接して、電気的絶縁材料からなる第1のサイドウォールを形成する工程と、前記積層膜および第1のサイドウォールをマスクとして用いて、露出している前記半導体基板の表面をエッチングし、斜面をもつ溝を形成する工程と、前記第1の膜および第1のサイドウォールをマスクとして用いて、前記溝の底面に相当する露出した半導体基板表面から第2導電型の不純物を導入し、前記半導体基板内に第2導電型の第1の不純物層を形成する工程と、前記第1の不純物層の表面部分に、第1導電型の第2の不純物層を形成する工程と、前記溝の斜面を覆い、かつ前記第1のサイドウォールに接続する第2のサイドウォールを形成する工程

と、前記積層膜および前記第1、第2のサイドウォールをエッチングマスクとして用い、かつ第2のサイドウォールの端部を基準として、前記シリコン半導体基板をエッチングし、断面形状がU字形をしている溝(U溝)を形成する工程と、前記第2のサイドウォールを除去し、前記半導体基板の表面の前記斜面を露出させる工程と、露出した前記斜面を含む前記U溝内に導電材料を埋め込む工程とを有し、前記各工程により、前記積層膜を構成する導電体層をゲートとし、前記積層膜を構成する第1の絶縁膜をゲート絶縁膜とし、前記第1の不純物層の表面部分をチャネル形成領域とし、前記第2の不純物層をソースまたはドレイン領域とする絶縁ゲート型半導体装置を製造することを特徴とする。

【0014】本製造方法では、基板に「斜面を有する溝」を形成し、かつ2つの「サイドウォール」を形成し、これらを活用してトランジスタを製造する。

【0015】つまり、ダブルのサイドウォールを用いてトレンチ加工端を決めるため、フォトリソグラフィの限界を越えて微細なトレンチを作成でき、しかも、プレーナ構造であるため、フォトリソグラフィによる加工も容易である。

【0016】また、斜面を第2のサイドウォールで覆ってトレンチ形成まで保存しておき、その後に第2のサイドウォールを除去して斜面を露出させ、その斜面をソース電極コンタクト領域として使用するため、接触面積が増大し、よってソースコンタクト抵抗が低減される。また、斜面の存在によりトレンチの開口径が大きく、ソース電極の埋め込みも容易である。

【0017】また、斜面の表面より不純物を基板内に拡散させるため、浅い拡散で十分な曲率を確保でき、微細化を犠牲にすることなく耐圧も確保できる。

【0018】(4) 請求項4に記載の本発明の絶縁ゲート型半導体装置の製造方法は、請求項1において、シリコン半導体基板の表面は(100)等価面であり、前記形状の構成要素として斜面をもつ溝は断面がV字形の溝(V溝)であり、そのV溝はアルカリエッチング液を用いたエッチングにより形成されることを特徴とする。

【0019】シリコンの(100)等価面の性質を利用した異方性エッチングにより、容易に斜面をもつ溝を形成できる。

【0020】(5) 請求項5に記載の本発明の絶縁ゲート型半導体装置の製造方法は、請求項1または2において、第1の不純物層の表面部分に第1導電型の第2の不純物層を形成する工程は、不純物がドーブされたシリケートガラス膜から不純物を拡散させる工程であり、また、第2のサイドウォールを形成する工程は、前記シリケートガラス膜を異方性エッチングにより加工する工程であることを特徴とする。

【0021】不純物がドーブされたシリケートガラス膜(例えば、PSG膜、AsSG膜)をデポジットし、熱

処理により不純物を拡散させればよく、工程が容易である。また、第1導電型の第2の不純物層はソース領域として機能し、低抵抗化のためには不純物濃度を高く維持する必要があるが、本方法によれば、十分な不純物の導入が可能である。

【0022】さらに、シリケートガラス膜をRIE等により加工して、第2のサイドウォールをセルフアラインで形成する。よって、精度が高く、微細化にも適する。

【0023】(6)請求項6に記載の本発明の絶縁ゲート型半導体装置の製造方法は、請求項1〜3のいずれかにおいて、前記U溝を形成する工程と、前記U溝内に導電材料を充填する工程との間に、U溝加工に用いたマスクを不純物導入用のマスクとしても利用してU溝の底部に不純物を導入する工程が挿入されることを特徴とする。

【0024】パワートランジスタでは、ソース電位の安定化のために、ソースを基板(Pボディ層)と接続した構成をとるのが一般的であるが、本工程により、ソースと基板(Pボディ層)のオーミックコンタクトが可能となる。

【0025】(7)請求項7に記載の本発明の絶縁ゲート型半導体装置は、請求項1〜6のいずれかの製造方法により製造されるものである。

【0026】何回もセルフアラインを連続して用いる超微細プロセスにより製造される、微細、高信頼度、かつ低消費電力のデバイスである。

【0027】(8)請求項8に記載の本発明の絶縁ゲート型半導体装置の製造方法は、U溝の内壁面にゲート絶縁膜が形成され、そのU溝内に埋め込まれた導電材料をゲートとして用いる、縦型の絶縁ゲート型半導体装置の製造方法であって、第1導電型の第1の半導体層と、第2導電型の第2の半導体層と、第1導電型の第3の半導体層とを順次に積層した構造を有する半導体基板の表面に、積層膜を形成する工程と、前記積層膜の一部に開口部を形成して前記半導体基板の表面の一部を露出させる工程と、前記開口部の外縁を形成している前記積層膜の側面に接して、電気的絶縁材料からなる第1のサイドウォールを形成する工程と、前記積層膜および第1のサイドウォールをマスクとして用いて、露出している前記半導体基板の表面をエッチングし、斜面をもつ溝を形成する工程と、前記積層膜、第1のサイドウォールおよび前記半導体基板表面の露出した前記斜面の上に、不純物がドーパされたシリケートガラス膜を形成する工程と、前記シリケートガラス膜から第1導電型の不純物を前記半導体基板の表面部分に位置する前記第3の半導体層内に拡散させ、その第3の半導体層の不純物濃度を高める工程と、前記シリケートガラス膜の全面に異方性エッチングを施して、前記半導体基板の表面の前記斜面の一部を露出させると共に、前記斜面の他部を覆い、かつ前記第1のサイドウォールに接続する第2のサイドウォールを

形成する工程と、前記積層膜および前記第1、第2のサイドウォールをエッチングマスクとして用い、かつ第2のサイドウォールの端部を基準として、前記シリコン半導体基板をエッチングし、断面形状がU字形をしている溝(U溝)を形成する工程と、前記第2のサイドウォールを除去し、前記半導体基板の表面の前記斜面を露出させる工程と、露出した前記斜面を含む前記U溝の内壁面にゲート絶縁膜を形成する工程と、前記U溝内に導電材料を埋め込む工程と、前記第1のサイドウォールをマスクとして用いて、前記U溝内に埋め込まれた前記導電材料層の表面を酸化して酸化膜を形成する工程と、半導体基板の表面の全面に異方性エッチングを施し、その結果として前記積層膜のみを除去して前記半導体基板の表面を露出させ、電極コンタクト領域を形成する工程と、前記電極コンタクト領域に電極を接続する工程と、前記半導体基板の裏面に電極を接続する工程と、を有することを特徴とする。

【0028】積層膜をフォトリソグラフィで加工し、さらに2つのサイドウォールによりトレンチマスクの端部を決めるため、フォトリソの限界を越えて微細なトレンチを形成可能である。

【0029】また、斜面を有する溝を形成し、その斜面上に不純物がドーパされたシリケートガラス膜をデポジットして第1導電型の不純物の拡散を行うため、トレンチが形成される領域の近傍の第1導電型不純物の濃度を効果的に高めることができ、したがって、ソースコンタクト抵抗の低減が可能となる。

【0030】また、トレンチ内部の酸化の際、第1のサイドウォールにより積層膜の端部が覆われているため、酸化による応力集中(例えば、バズビークの発生)が発生しない。

【0031】さらに、ソースコンタクト領域の形成も、一連のセルフアライン工程により自動的に行え、よって、精度よくソースコンタクト領域を確保しつつ、デバイスの微細化を行える。

【0032】(9)請求項9に記載の本発明の絶縁ゲート型半導体装置の製造方法は、シリコン半導体基板の表面は(100)等価面であり、前記斜面をもつ溝(290)は断面がV字形の溝(V溝)であり、そのV溝はアルカリエッチング液を用いたエッチングにより形成されることを特徴とする。

【0033】シリコンの(100)等価面の性質を利用した異方性エッチングにより、容易に斜面をもつ溝を形成できる。

【0034】(10)請求項10に記載の本発明の絶縁ゲート型半導体装置の製造方法は、請求項8または9において、積層膜は、絶縁膜/ポリシリコン層/絶縁膜の重ね膜からなり、また、前記第1のサイドウォールは、シリコン窒化膜からなることを特徴とする。

【0035】積層膜は、トレンチ内に埋め込まれたポリ

シリコンの表面の酸化（キャップ酸化）の際に、下地のシリコン基板に応力集中が発生するのを防止する働きをする。

【0036】また、第1のサイドウォールはキャップ酸化のマスクとして機能する。

【0037】（11）請求項11に記載の本発明の絶縁ゲート型半導体装置は、請求項8～10のいずれかの製造方法により製造されるものである。

【0038】何回もセルフアラインを連続して用いる超微細プロセスにより製造される、微細、高信頼度、かつ低消費電力のデバイスである。

【0039】

【発明の実施の形態】次に、本発明の実施の形態について、図面を参照して説明する。

【0040】（第1の実施の形態）

（構造）図11は、本発明のDMOS（Double Diffused MOSFET）の構造を示すデバイス断面図である。図12に示されるように、このDMOSは、ソース（S）と基板（ボディp層）とを接続してソース電位のフローティングを防止した構成となっている。

【0041】図11に示されるように、半導体基板の表面にソース電極（130）、ゲート電極（40）が形成され、裏面にドレイン電極140が形成されている、縦型のMOSFETである。

【0042】図11において、参照番号10、20はドレイン層、参照番号30はSiO₂膜、参照番号40はポリシリコン層、参照番号50はシリコン窒化膜、参照番号62はシリコン窒化膜からなるサイドウォール（第1のサイドウォール）、参照番号80はボディp層、参照番号120はオーミックコンタクト用のp⁺層を、それぞれ表す。

【0043】（製造プロセス）次に、図11の構造の製造方法の一例を、図1～図10を用いて順をおって説明する。

【0044】（1）まず、図1に示すように、n⁺層およびn⁻層からなるSi基板の（100）面上に、50nm～100nm程度の熱酸化膜30を形成後、約400nmのドーパドポリシリコン膜40、Si₃N₄膜等の酸化防止用の膜50を順次に形成する。これにより、多層積層膜が形成される。

【0045】（2）次に、図2に示すように、フォトリソグラフィの最小線幅でマスクを加工し、そのマスクを用いてRIEにより多層積層膜（Si₃N₄/ポリシリコン/SiO₂）に開口52を形成する。

【0046】（3）次に、図3に示すように、Si₃N₄膜60を基板の全面に形成し、RIEによりエッチングを施す。これによって、図4に示すように、多層積層膜の側面にサイドウォール（第1のサイドウォール）62が形成される。

【0047】（4）次に、図5に示すように、シリコンのエッチング異方性を利用したウエットエッチング（アルカリエッチング）によりV溝70を形成する。

【0048】（5）次に、図6に示すように、不純物を含むSiO₂膜からの不純物の拡散、あるいはイオン注入と熱処理によりボディp⁺拡散層80を形成する。このとき、拡散層の形状はV溝の形状を反映して形成される。

【0049】（6）次に、図7に示すように、AsSG（砒素シリケートガラス）膜90を形成し、そのAsSG膜からの砒素（As）の拡散によりソース（n⁺）層100を形成する。AsSG膜の代わりにPSGを使用することもできる。また、イオン注入とドライブイン拡散でソースを形成しておき、その後、CVD-SiO₂膜を全面にデポジットしてもよい。

【0050】（7）次に、図8に示すように、基板の全面にRIEによるエッチングを施し、第1のサイドウォール62の側面に、重ねて第2のサイドウォール110を形成する。

【0051】なお、シリコン基板への不純物拡散（ソース層の形成）は、不純物をドーパしたSiO₂膜を用いることにより、第2のサイドウォール形成後に行うことも可能である。

【0052】（8）次に、図9に示すように、多層積層膜（30、40、50）、第1のサイドウォール62および第2のサイドウォール110をマスクとして用いて、RIEによりトレンチを形成し、さらに、イオン打ち込みによりトレンチの底面部へp型不純物（ボロン）を導入して、オーミックコンタクト層（p⁺）120を形成する。

【0053】（9）次に、図10に示すように、第2のサイドウォール110をウエットエッチングで除去し、V溝の斜面の表面を露出させる。これにより、Y型のトレンチ形状が形成される。このY型のトレンチを上面から見ると、例えば、図13のようになっており、斜面の分だけ接触面積が増大している。

【0054】（10）次に、図11に示すように、トレンチ内を金属で埋め込み、ソース電極130を形成する。また、半導体基板の裏面にドレイン電極140を形成する。

【0055】積層膜を構成するポリシリコン層40がゲート電極となる。トランジスタのオン電流Iは、図11中に図示されるように、基板表面から裏面に向かって流れる。

【0056】以上説明した方法によれば、V溝の表面からの拡散によってボディp層を形成するため、接合耐圧を決めるボディ拡散層コーナー曲率を従来の拡散深さの50%で形成できる。ボディp層の拡散深さが浅くなるため、素子を微細化できる。また、プロセスも簡略化される。

【0057】また、ボディp層の形成後に、同じくV溝の表面からソースとなるn⁺拡散層を形成する(2重拡散)ことにより、チャネル領域を精度よく形成でき、かつチャネル幅も短くできる。

【0058】さらに、トレンチの上部をY字型としてあるため、ソース電極とソース領域との接触面積が大きく、ソースコンタクト抵抗を小さくできる。また、Y字型トレンチであるため、ソース電極の埋め込み特性も良好である。

【0059】また、トレンチ底部のオーミックコンタクト層もセルフアラインプロセスを用いて形成できる。

【0060】したがって、図11に示されるトランジスタは、オン抵抗が小さく、低消費電力かつ高信頼度な、超微細なトランジスタとなる。

【0061】以上の実施例では、DMOSを用いて説明したが、UMOS、LDMOSやIGBTなどのパワートランジスタにも適用可能である。IGBT(Insulated Gate Bipolar Transistor)は、図11におけるn⁺拡散層10をp⁺拡散層に変更した構造を有し、電極130がエミッタ電極となり、電極140がコレクタ電極となる。

【0062】(第2の実施の形態)第2の実施の形態は、UMOSTランジスタに関する。

【0063】(構造)本実施の形態にかかるUMOSTランジスタは、図29に示すように、Y字型トレンチを用いた縦型のMOSである。

【0064】基板の表面にソース電極410が設けられ、基板の裏面にドレイン電極420が設けられている。トレンチ内部のポリシリコン層342がゲート電極(ゲート配線)となる。ソース電極410とゲート電極(ゲート配線)342とはキャップ酸化層350により分離されている。参照番号230、232はソース層であり、参照番号220はp型ベース層(チャネル形成領域)であり、参照番号200、210はドレイン層であり、参照番号320はゲート酸化膜であり、参照番号342はサイドウォールである。

【0065】図29に示すように、トランジスタのオン電流Iは、基板表面から基板裏面に向かって流れる。

【0066】図30に、図29のトランジスタの平面構造が示されている。また、図31には、図30のB-B線に沿うデバイスの断面図が示されている。

【0067】(製造方法)以下、図29に示されるUMOSFETの製造方法を、図14~図28を用いて順をおって説明する。

【0068】(1)まず、図14に示すように、Si基板(n型層200、210を有する)上に、50nm程度の熱酸化膜240を形成し、続いてイオン注入による不純物導入と熱処理により、ソース層230及びベース層220を形成する。

【0069】(2)次に、図15に示すように、SiO

膜240上に、300nm~500nm程度のポリシリコン膜250を形成し、さらに約200nmのSi₃N₄膜250ならびに約250nmのCVD-SiO₂膜270を順次に積層する。これにより、多層積層膜を形成する。

【0070】(3)次に、フォトリソグラフィの最小線幅でマスクを加工し、そのマスクを用いてRIEで多層積層膜(SiO₂/Si₃N₄/ポリシリコン/SiO₂)を選択的にエッチングすることにより、図16に示すような開口部272を形成する。

【0071】(4)次に、図17に示すように全面にSi₃N₄膜280を形成し、続いて、図18に示すように、RIEにより全面エッチングを施し、その結果としてサイドウォール(第1のサイドウォール)282を形成する。

【0072】(5)次に、図19に示すように、アルカリエッチングによりV溝290を形成する。

【0073】(6)次に、図20に示すように、PSG膜またはAsSG膜300をデポジットし、続いて、アニールを行ってn型不純物を拡散させ、高濃度n⁺層232を形成する。これにより、ソース層の表面の不純物濃度が高くなり、ソースの低抵抗化が図られる。

【0074】(7)次に、図21に示すように、全面にRIEを施し、第1のサイドウォール282に接続する第2のサイドウォール302を形成する。なお、高濃度n⁺層232の形成を、第2のサイドウォール完成後とすることもできる。

【0075】(8)次に、図22に示すように、多層積層膜(240、250、260、270)および第1、第2のサイドウォール(282、302)をマスクとして用いて、自己整合的にトレンチ320を形成する。

【0076】(9)次に、図23に示すように、第2のサイドウォール302を除去し、V溝の斜面の表面を露出させる。これにより、Y型のトレンチ形状となる。

【0077】(10)次に、図24に示すように、トレンチの内部を酸化し、20nm~100nmのゲート酸化膜を形成する。このとき、多層積層膜(240、250、260)の端面は第1のサイドウォール(Si₃N₄膜)により覆われているため、バースピークの成長等による半導体基板への応力集中が生じない。

【0078】(11)次に、図25に示すように、多結晶シリコン340をデポジットし、平坦化する。なお、多結晶シリコンの代わりに、ドーブドアモルファスを使用することもできる。

【0079】(12)次に、図26に示すように、RIEによる全面エッチングにより、多結晶シリコン342をトレンチの内部に埋め込む。

【0080】(13)次に、図27に示すように、サイドウォール282で挟まれたドーブドポリシリコン層342の表面を酸化(キャップ酸化)し、フィールド酸化

膜350を形成する。フィールド酸化膜の膜厚は、30.0nm〜500nm程度である。

【0081】(14)次に、図28に示すように、RIEによりフィールド酸化膜膜350および多層積層膜(Si_3N_4 /ポリシリコン/ SiO_2)を同時にエッチングする。フィールド酸化膜(SiO_2)350と Si_3N_4 膜との選択比は約「5」であり、フィールド酸化膜(SiO_2)350とポリシリコン層250との選択比は約「70」であり、フィールド酸化膜(SiO_2)350と表面酸化膜240との選択比は約「1」である。したがって、全面エッチングにより、フィールド酸化膜350は100nm程度目減りすると同時に、多層積層膜はすべて除去されて半導体基板の表面が露出する。この露出部分がソースコンタクト領域となる。

【0082】(15)次に、図29に示すように、ソース電極410およびドレイン電極420を形成して、UMOSFETが完成する。

【0083】上述の方法よれば、 Si_3N_4 膜サイドウォール及びPSG膜サイドウォールを用いてトレンチを形成するため、フォトリソ加工寸法より小さい幅のトレンチを精度よく形成できる。

【0084】また、キャップ酸化の際、 Si_3N_4 膜のサイドウォールにより、バズピークの発生が防止される。これにより、応力集中の問題も生じず、かつデバイスの高集積化が可能となる。

【0085】また、図20に示される工程において、PSG膜やAsSG膜(300)からの不純物の拡散を行いソース領域を高濃度化するため、トレンチのごく近傍における表面部の不純物濃度を高めることができ、ソースコンタクト抵抗が低減される。

【0086】また、Y字型トレンチを用いるため、ポリシリコンの埋め込みが容易である。さらに、ソースコンタクトの形成もセルフアラインプロセスに行うことができ、プロセスが複雑化しない。

【0087】これにより、図27に示されるトランジスタは、信頼性が高く、低消費電力でかつ超微細なパワートランジスタとなる。

【0088】なお、上述の製造方法によりIGBTを製造することもできる。IGBT(Insulated Gate Bipolar Transistor)は、図29におけるn⁺拡散層200を、p⁺拡散層に変更した構造を有し、電極410がエミッタ電極となり、電極420がコレクタ電極となる。

【0089】以上の実施例では、Si基板を用いていたが、SOI基板やSiC基板などを用いたデバイスにも本発明を適用可能である。

【0090】

【図面の簡単な説明】

【図1】第1の実施の形態にかかるDMOS(Double Diffused MOSFET)の第1の製造

工程を説明するためのデバイス断面図である。

【図2】第1の実施の形態にかかるDMOSの第2の製造工程を説明するためのデバイス断面図である。

【図3】第1の実施の形態にかかるDMOSの第3の製造工程を説明するためのデバイス断面図である。

【図4】第1の実施の形態にかかるDMOSの第4の製造工程を説明するためのデバイス断面図である。

【図5】第1の実施の形態にかかるDMOSの第5の製造工程を説明するためのデバイス断面図である。

【図6】第1の実施の形態にかかるDMOSの第6の製造工程を説明するためのデバイス断面図である。

【図7】第1の実施の形態にかかるDMOSの第7の製造工程を説明するためのデバイス断面図である。

【図8】第1の実施の形態にかかるDMOSの第8の製造工程を説明するためのデバイス断面図である。

【図9】第1の実施の形態にかかるDMOSの第9の製造工程を説明するためのデバイス断面図である。

【図10】第1の実施の形態にかかるDMOSの第10の製造工程を説明するためのデバイス断面図である。

【図11】第1の実施の形態にかかるDMOS(完成品)のデバイス断面図である。

【図12】図11に示されるDMOSの等価回路図である。

【図13】図11に示されるDMOSを上からみた場合の、V溝の斜面の形状を示す図である。

【図14】第2の実施の形態にかかるUMOSの第1の製造工程を説明するためのデバイス断面図である。

【図15】第2の実施の形態にかかるUMOSの第2の製造工程を説明するためのデバイス断面図である。

【図16】第2の実施の形態にかかるUMOSの第3の製造工程を説明するためのデバイス断面図である。

【図17】第2の実施の形態にかかるUMOSの第4の製造工程を説明するためのデバイス断面図である。

【図18】第2の実施の形態にかかるUMOSの第5の製造工程を説明するためのデバイス断面図である。

【図19】第2の実施の形態にかかるUMOSの第6の製造工程を説明するためのデバイス断面図である。

【図20】第2の実施の形態にかかるUMOSの第7の製造工程を説明するためのデバイス断面図である。

【図21】第2の実施の形態にかかるUMOSの第8の製造工程を説明するためのデバイス断面図である。

【図22】第2の実施の形態にかかるUMOSの第9の製造工程を説明するためのデバイス断面図である。

【図23】第2の実施の形態にかかるUMOSの第10の製造工程を説明するためのデバイス断面図である。

【図24】第2の実施の形態にかかるUMOSの第11の製造工程を説明するためのデバイス断面図である。

【図25】第2の実施の形態にかかるUMOSの第12の製造工程を説明するためのデバイス断面図である。

【図26】第2の実施の形態にかかるUMOSの第13

の製造工程を説明するためのデバイス断面図である。

【図27】第2の実施の形態にかかるUMOSの第14の製造工程を説明するためのデバイス断面図である。

【図28】第2の実施の形態にかかるUMOSの第15の製造工程を説明するためのデバイス断面図である。

【図29】第2の実施の形態にかかるUMOS（完成品）の要部構造を示す断面図である。

【図30】図29に示されるUMOSの平面構造を示す図である。

【図31】図30に示されるUMOSの、B-B線に沿う断面構造を示す図である。

【符号の説明】

10, 200 n⁺層（ドレイン領域）

20, 210 n⁻層（ドレイン領域）

30 表面酸化膜（SiO₂膜）

40 ポリシリコン層（ゲート電極）

50 シリコン窒化膜

05 60 シリコン窒化膜

62 第1のサイドウォール

70 V溝

80, 220 ボディp層（チャネル形成領域）

90 PSG膜

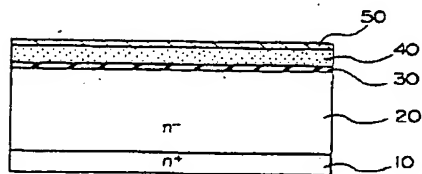
10 100 ソース領域（n⁺層）

110 第2のサイドウォール

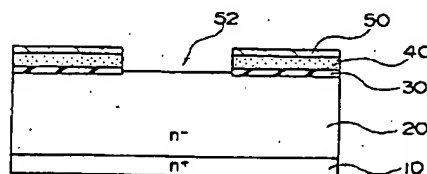
130, 410 ソース電極

140, 420 ドレイン電極

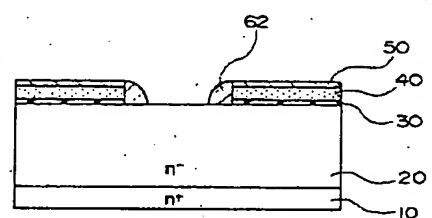
【図1】



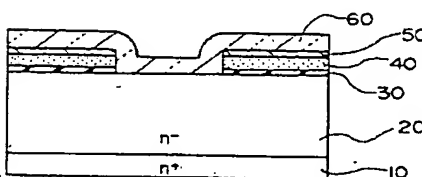
【図2】



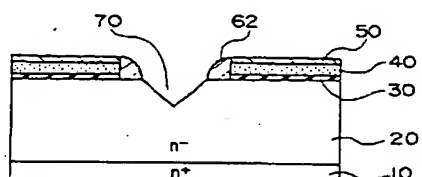
【図4】



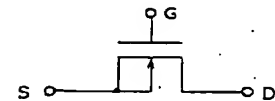
【図3】



【図5】

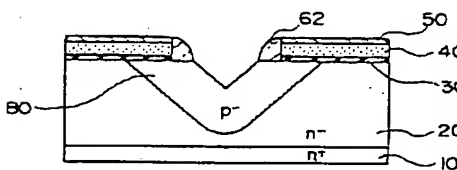


【図12】

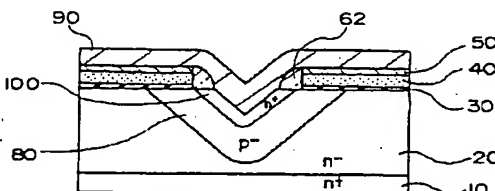


【図13】

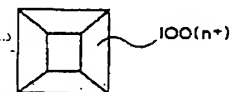
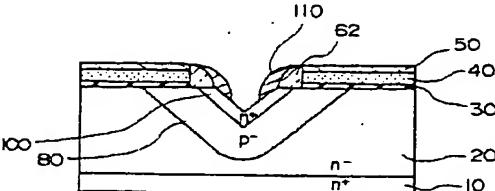
【図6】



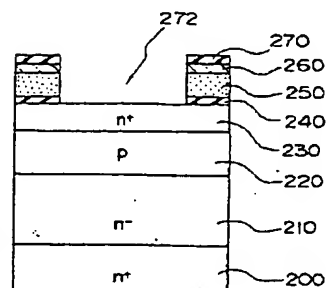
【図7】



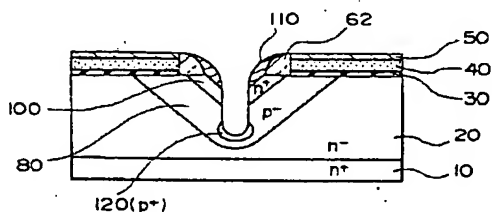
【図8】



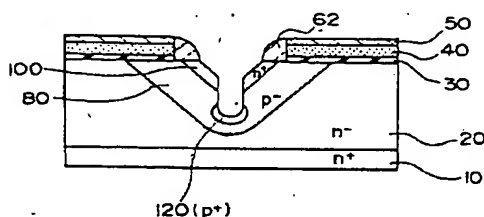
【図16】



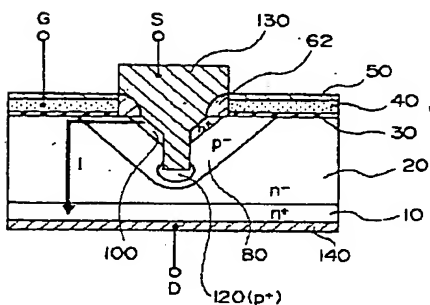
【図 9】



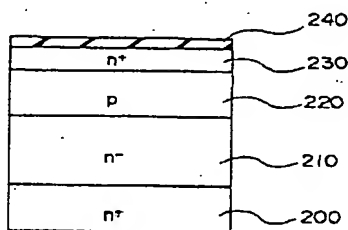
【図 10】



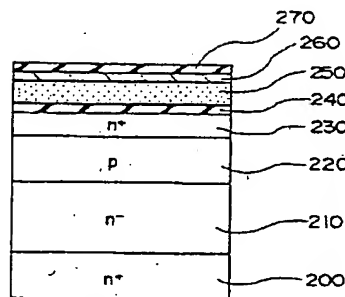
【図 11】



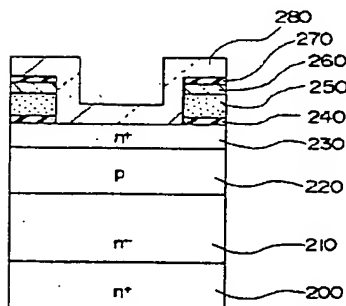
【図 14】



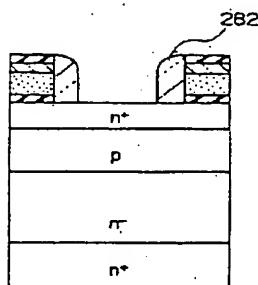
【図 15】



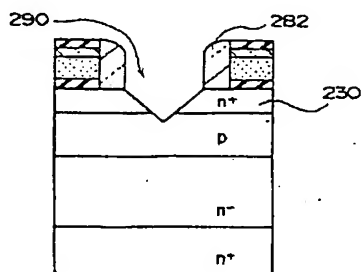
【図 17】



【図 18】

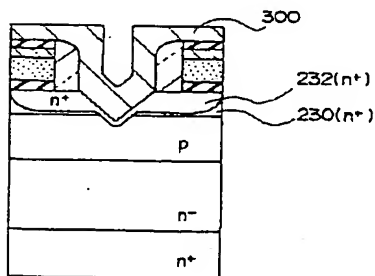


【図 19】

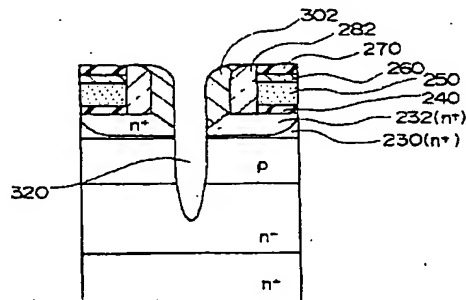
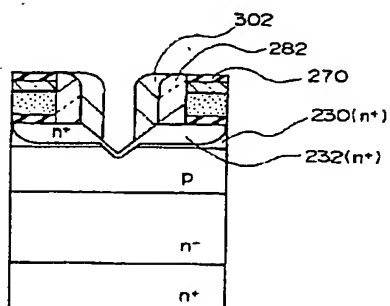


【図 22】

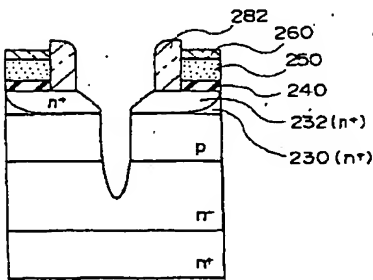
【図 20】



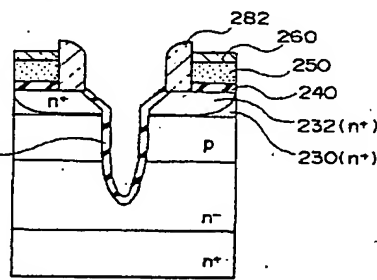
【図 21】



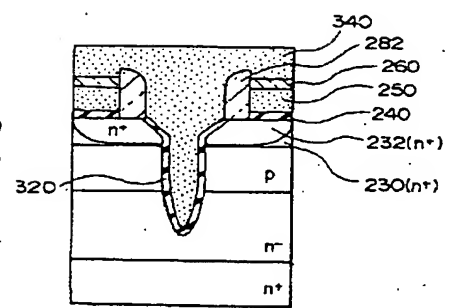
【図23】



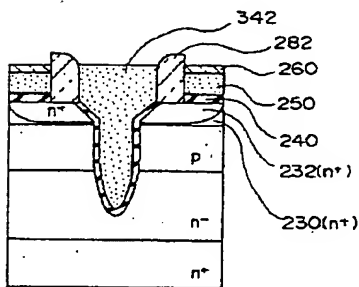
【図24】



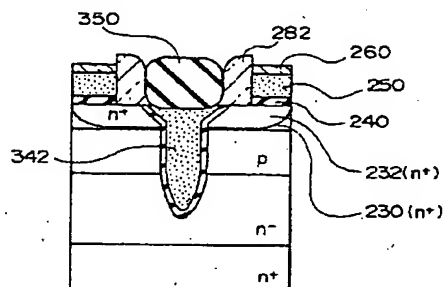
【図25】



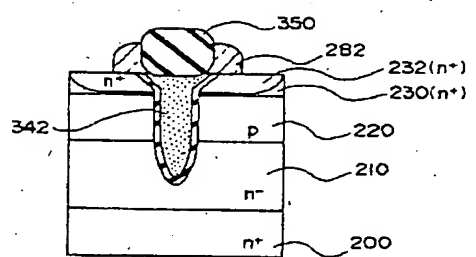
【図26】



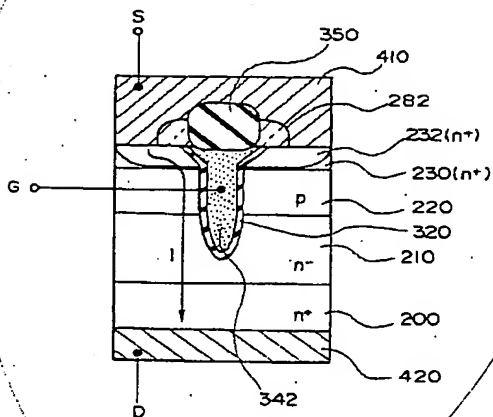
【図27】



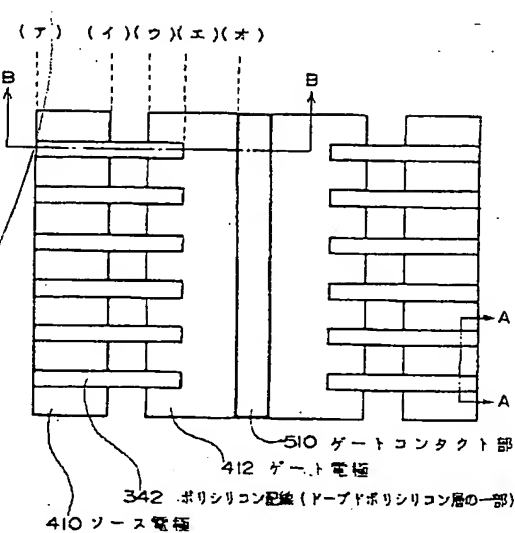
【図28】



【図29】



【図30】



【図31】

